

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 797 734

21 N° d'enregistrement national :

00 00079

51 Int Cl<sup>7</sup> : H 04 N 5/30

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 05.01.00.

30 Priorité :

43 Date de mise à la disposition du public de la  
demande : 23.02.01 Bulletin 01/08.

56 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

60 Références à d'autres documents nationaux  
apparentés :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-  
MIQUE Etablissement de caractère scientifique techni-  
que et industriel — FR.

72 Inventeur(s) : AUDEBERT PATRICK, MOTTIN ERIC  
et TRONEL ROBERT.

73 Titulaire(s) :

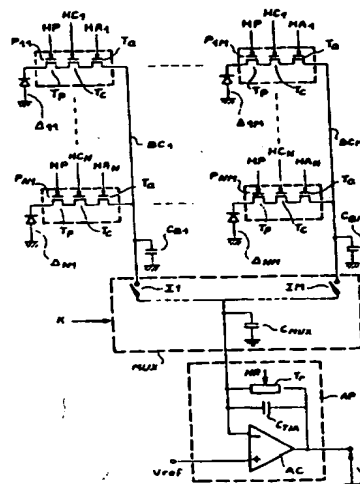
74 Mandataire(s) : BREVATOME.

54 DISPOSITIF DE LECTURE DE CIRCUITS DETECTEURS DE RAYONNEMENT AGENCES EN MATRICE.

57 L'invention concerne un dispositif de lecture de circuit  
détecteur de rayonnement constitué d'une matrice de dé-  
tecteurs élémentaires ( $\Delta_{ij}$ ) sous la forme d'une matrice de N  
lignes par M colonnes. Le dispositif de lecture comprend un  
ensemble de points élémentaires ( $P_{ij}$ ), chaque point élé-  
mentaire ( $P_{ij}$ ) étant associé à un détecteur élémentaire ( $\Delta_{ij}$ )  
pour stocker les charges détectées par le détecteur élé-  
mentaire ( $\Delta_{ij}$ ), et des moyens de conversion (AP) des charges  
stockées dans chaque point élémentaire ( $P_{ij}$ ).

Le dispositif de lecture comprend des moyens de stock-  
age intermédiaire ( $C_B$ ) pour stocker les charges issues de  
chaque point élémentaire ( $P_{ij}$ ) et des moyens de transfert  
(MUX) pour transférer séquentiellement, vers les moyens  
de conversion, les charges stockées dans les moyens de  
stockage intermédiaire ( $C_B$ ).

L'invention s'applique à la détection infrarouge, visible  
ou à rayons X.



**DISPOSITIF DE LECTURE DE CIRCUITS DETECTEURS DE  
RAYONNEMENT AGENCES EN MATRICE**

Domaine technique et art antérieur

5 L'invention concerne un dispositif de lecture de circuit détecteur de rayonnement et un circuit détecteur de rayonnement comprenant un tel dispositif de lecture.

10 Plus particulièrement, l'invention concerne un dispositif de lecture de circuit détecteur de rayonnement agencé sous forme de matrice de détecteurs élémentaires.

15 Les rayonnements détectés peuvent être, par exemple, des rayonnements aux longueurs d'ondes de l'infrarouge, du visible ou des rayons X. La lecture d'un circuit détecteur agencé sous forme d'une matrice de N lignes par M colonnes de détecteurs élémentaires s'effectue par balayage, ligne par ligne ou colonne par colonne.

20 La figure 1 représente un dispositif de lecture ligne par ligne de l'art antérieur.

25 Le dispositif de lecture comprend  $N \times M$  détecteurs  $\Delta_{ij}$  ( $i=1, \dots, N$  ;  $j=1, \dots, M$ ),  $N \times M$  points élémentaires  $P_{ij}$ , M bus colonne  $BC_j$ , M amplificateurs de charges  $A_j$  et un circuit de multiplexage MX. Chaque point élémentaire  $P_{ij}$  comprend un transistor  $T_p$  pour adapter l'impédance du détecteur  $\Delta_{ij}$  au circuit de lecture, un transistor  $T_c$  d'intégration et un transistor  $T_a$  d'adressage.

30 Le détecteur  $\Delta_{ij}$  est, par exemple, un détecteur photovoltaïque de type N sur substrat P. Le transistor

Tp est un transistor NMOS monté en grille commune et dont la source et le drain sont respectivement connectés au détecteur et à la source du transistor NMOS d'intégration Tc.

5 Ce principe de couplage d'un détecteur photovoltaïque à son circuit de lecture est très classique et est souvent désigné par "injection directe" dans la littérature. Il en existe de nombreuses variantes destinées principalement à  
10 diminuer l'impédance d'entrée et/ou à augmenter l'impédance de sortie.

Un signal d'horloge HP est appliqué à la grille de tous les transistors Tp.

15 La fonction d'intégration est ici réalisée au moyen d'un transistor NMOS Tc dont la source et le drain sont reliés, d'une part, au drain du transistor Tp et, d'autre part, à la diode d'entrée du transistor NMOS d'adressage Ta. Dans certains cas, la source et le drain de Tc peuvent être court-circuités.

20 Un même signal d'horloge  $HC_i$  ( $i=1, \dots, N$ ) est appliqué sur la grille de tous les transistors Tc d'une même ligne. Chaque ligne du circuit de lecture est attaquée par un signal d'horloge  $HC_i$  différent.

25 Le transistor NMOS d'adressage Ta est monté en interrupteur entre le drain du transistor Tc et la connexion au bus colonne  $BC_j$ .

30 Un même signal d'horloge  $HA_i$  ( $i=1, \dots, N$ ) est appliqué sur la grille des transistors Ta d'une même ligne. Chaque ligne du circuit de lecture est attaquée par un signal d'horloge  $HA_i$  différent.

L'amplificateur de charges  $A_j$  ( $j=1, \dots, M$ ) comprend un amplificateur différentiel AC, une capacité  $C_a$  et un transistor  $Tr$ .

Le bus colonne  $BC_j$  relie la sortie du point élémentaire  $P_{ij}$  à l'entrée inverseuse de l'amplificateur différentiel AC dont l'entrée non-inverseuse est reliée à une alimentation  $V_{ref}$ .

La capacité  $C_a$  et le transistor  $Tr$  sont montés en parallèle entre l'entrée inverseuse et la sortie de l'amplificateur différentiel AC. La capacité  $C_a$  est une capacité de contre-réaction et le transistor  $Tr$  est utilisé comme interrupteur pour réinitialiser la capacité  $C_a$  entre la lecture de deux lignes consécutives. La grille du transistor  $Tr$  est pilotée par un signal d'horloge  $HR$ . Une tension  $V_j$  est recueillie en sortie de l'amplificateur différentiel AC.

Les paquets de charges des points élémentaires  $P_{ij}$  d'une même ligne de rang  $i$  sont convertis simultanément en tension par l'ensemble des amplificateurs de charges  $A_j$  placés à l'extrémité des bus colonne.

Les tensions  $V_j$  recueillies en sortie des amplificateurs de charges sont appliquées sur les différentes entrées d'un multiplexeur en tension  $MX$  à  $M$  entrées et une sortie. La tension  $V_s$  recueillie en sortie du multiplexeur  $MX$  prend alors pour valeur les valeurs successives des tensions  $V_j$  ( $j=1, \dots, M$ ).

Lorsqu'une conversion charges-tension relative à une ligne de détecteurs a été effectuée, les amplificateurs de charges sont réinitialisés afin de

permettre la conversion charges-tension d'une ligne suivante.

Un inconvénient d'une structure telle que décrite ci-dessus est de générer un niveau élevé de  
5 bruit.

Les densités spectrales de tension de bruit des transistors MOS sont proportionnelles à l'inverse de leur transconductance, laquelle diminue quand le courant drain diminue. Or, le fonctionnement simultané  
10 de l'ensemble des amplificateurs de charges impose un faible courant de fonctionnement afin de ne pas augmenter de manière rédhibitoire la consommation globale du circuit de lecture. Cette faible valeur du courant de fonctionnement entraîne alors des valeurs de  
15 tension équivalente de bruit élevées.

Par ailleurs, un amplificateur de charges a une tension de bruit intrinsèque en entrée fortement amplifiée en sortie pour les fréquences inférieures à, ou situées dans, la bande passante de l'amplificateur.  
20 Un facteur d'amplification du bruit est donné par la formule suivante :

$$G_b = \frac{C_{in} + C_a}{C_a}, \text{ où}$$

$C_{in}$  est une capacité parasite ramenée sur l'entrée inverseuse de l'amplificateur de charges, et  $C_a$  est la  
25 capacité de l'amplificateur de conversion charges/tension.

La capacité parasite  $C_{in}$  est proportionnelle au nombre de lignes de la matrice de détecteurs ainsi qu'au pas qui sépare deux détecteurs d'une même ligne  
30 et la capacité  $C_a$  est liée à la charge maximale intégrable dans un point élémentaire. Par ailleurs, le

courant de fonctionnement des amplificateurs de charges est limité par la consommation imposée au circuit.

Il s'ensuit que le niveau de bruit du circuit de lecture est fonction de paramètres imposés par le cahier des charges. C'est en particulier le cas d'un composant de grande complexité comprenant, par exemple, 640 x 480 points élémentaires, pour lequel la puissance dissipée par les amplificateurs de charges est une des sources principales de consommation. Il n'est donc pas possible, selon l'art connu, de réaliser des dispositifs de lecture de grand format ayant de bonnes performances en bruit.

L'invention ne présente pas les inconvénients mentionnés ci-dessus.

En effet, l'invention concerne un dispositif de lecture de circuit détecteur de rayonnement constitué d'une matrice de détecteurs élémentaires sous la forme d'une matrice de N lignes par M colonnes, le dispositif de lecture comprenant :

- un ensemble de points élémentaires, chaque point élémentaire étant associé à un détecteur élémentaire pour stocker les charges détectées par le détecteur élémentaire, et
- des moyens de conversion des charges stockées dans chaque point élémentaire, chaque point élémentaire comprenant des moyens d'adressage pour adresser les charges contenues dans chaque point élémentaire vers les moyens de conversion.

Le dispositif de lecture comprend des moyens de stockage intermédiaire pour stocker les charges adressées issues de chaque point élémentaire et des



moyens de transfert pour transférer séquentiellement, vers les moyens de conversion, les charges stockées dans les moyens de stockage intermédiaire.

L'invention concerne également un circuit  
5 détecteur de rayonnement comprenant une matrice de détecteurs élémentaires et un dispositif de lecture pour lire les charges détectées par les détecteurs élémentaires. La matrice de détecteurs élémentaires comprend  $k$  matrices élémentaires de  $N_k$  lignes et  $M_k$   
10 colonnes,  $k$  étant un nombre entier supérieur ou égal à 1, le dispositif de lecture comprenant  $k$  dispositifs de lecture élémentaires, chaque dispositif de lecture élémentaire étant un dispositif selon l'invention tel que ci-dessus pour lire les charges détectées par une  
15 matrice élémentaire.

L'invention permet avantageusement de n'utiliser qu'un seul amplificateur de charges pour lire plusieurs points élémentaires agencés en matrice. Il est alors possible d'augmenter le courant de  
20 fonctionnement de l'amplificateur de charges sans entraîner une consommation trop élevée du dispositif de lecture.

Outre l'amélioration des performances de bruit du dispositif de lecture, l'augmentation du courant de  
25 fonctionnement entraîne également une amélioration de différentes caractéristiques de l'amplificateur de charges telles que, par exemple, la bande passante ou encore la vitesse de balayage.

L'amplificateur de charges est généralement  
30 implanté en périphérie de la matrice de points élémentaires. Avantageusement, selon l'invention, la

géométrie des transistors MOS utilisés et l'architecture de l'amplificateur de charges peuvent être optimisées en bruit sans contraintes dimensionnelles lors de l'implantation. En particulier, 5 l'invention n'est pas limitée à une direction d'implantation comme c'est le cas selon l'art antérieur.

Du fait de la minimisation du nombre et de la complexité des blocs fonctionnels périphériques de la 10 matrice de détecteurs, le rendement technologique de fabrication d'un dispositif de lecture selon l'invention se trouve grandement amélioré. Par ailleurs, la lecture des charges étant effectuée par un amplificateur unique, la mise en forme des paquets de 15 charges lus s'effectue sans dispersions.

#### Brève description des figures

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture d'un mode de 20 réalisation préférentiel de l'invention fait en référence aux figures ci-annexées parmi lesquelles :

- La figure 1 représente un dispositif de lecture de circuit détecteur de rayonnement selon l'art antérieur,
- 25 - la figure 2 représente un dispositif de lecture de circuit détecteur de rayonnement selon l'invention,
- la figure 3 représente un chronogramme de lecture de deux points élémentaires successifs d'une 30 même ligne de matrice de points élémentaires selon l'invention.

Description détaillée de modes de mise en oeuvre de  
l'invention

5 Sur toutes les figures, les mêmes repères désignent les mêmes éléments.

La figure 1 a été décrite précédemment, il est donc inutile d'y revenir.

10 La figure 2 représente un dispositif de lecture de circuit détecteur de rayonnement selon l'invention.

Le dispositif de lecture comprend également un ensemble de  $N \times M$  points élémentaires  $P_{ij}$  ( $i=1, \dots, N$  ;  $j=1, \dots, M$ ) et  $M$  bus colonne  $BC_j$ . Les points élémentaires  $P_{ij}$  sont, par exemple, identiques aux  
15 points élémentaires représentés en figure 1.

L'extrémité de chacun des  $M$  bus colonnes  $BC_j$  est reliée à une entrée d'un multiplexeur MUX de  $M$  entrées vers une sortie.

20 Le multiplexeur MUX comprend  $M$  interrupteurs  $I_1, \dots, I_M$  et une capacité parasite de sortie  $C_{MUX}$ .

Une première borne de chaque interrupteur  $I_j$  constitue une entrée du multiplexeur MUX. Les deuxièmes bornes des  $M$  interrupteurs  $I_j$  sont reliées entre elles et constituent la sortie du multiplexeur MUX. La  
25 capacité parasite  $C_{MUX}$  est située entre la sortie du multiplexeur MUX et la masse du dispositif.

La sortie du multiplexeur MUX est reliée à un amplificateur de charges AP. L'amplificateur de charges AP comprend un amplificateur à entrée différentielle AC  
30 tel que décrit précédemment en figure 1, un condensateur de contre-réaction et un dispositif Tr,

par exemple un transistor, pour réinitialiser le condensateur de contre-réaction. La capacité  $C_{TIA}$  du condensateur de contre-réaction est égale à la charge maximum à lire issue d'un point élémentaire ( $Q_{Pij}$ ) divisée par l'excursion de la tension de sortie de l'amplificateur ( $\Delta V$ ) :

$$C_{TIA} = \frac{\Delta V}{Q_{Pij}}.$$

Chaque bus  $BC_j$  présente une capacité parasite de bus  $C_{Bj}$ .

10 Les caractéristiques de l'amplificateur différentiel (bande passante, gain, vitesse de balayage, ...) permettent de maintenir à un potentiel constant la capacité parasite de sortie du multiplexeur  $C_{MUX}$  et la capacité parasite de chaque bus colonne  $C_{Bj}$ .  
15 La capacité parasite du multiplexeur étant reliée à l'entrée inverseuse de l'amplificateur de charges, elle est en effet maintenue en permanence au potentiel de référence  $V_{ref}$  appliquée sur l'entrée non inverseuse de l'amplificateur de charges.

20 Avantageusement, la capacité parasite de bus  $C_{Bj}$  constitue un réservoir temporaire pour les charges détectées par un détecteur  $\Delta_{ij}$ .

La figure 3 représente un chronogramme de lecture de deux points élémentaires successifs d'une même ligne de matrice de points élémentaires selon l'invention.

La prise d'image synchrone est gérée par l'horloge HP commune à tous les points élémentaires. La quantité de charges  $Q_{Pij}$  intégrées dans le point  
30 élémentaire  $P_{ij}$  est donnée par l'équation suivante :

$$Q_{Pij} = I_{dij} \times T_p,$$

où  $I_{dij}$  est le courant dans le détecteur  $\Delta_{ij}$  et  $T_p$  le temps de pose.

La lecture des paquets de charges des points  
5 élémentaires s'effectue ligne par ligne à l'aide des  
horloges ligne  $HC_i$  et  $HA_i$ . Les stimuli  $HC_i$  et  $HA_i$   
propres à la ligne de rang  $i$  sont tels qu'à la fin de  
la lecture de la ligne tous les transistors de stockage  
10  $T_c$  de chaque point élémentaire de la ligne sont vides  
de charges et réinitialisés pour la prise d'image  
suivante.

L'amplificateur de charges est réalisé à partir  
d'un amplificateur différentiel à courant d'entrée nul  
dont les caractéristiques (bande passante, gain,  
15 vitesse de balayage, ...) sont telles qu'elles lui  
permettent de maintenir à un potentiel constant la  
capacité parasite de sortie  $C_{MUX}$  du multiplexeur MUX et  
la capacité parasite de chaque bus colonne  $C_{Bj}$ . La  
capacité parasite de sortie  $C_{MUX}$  du multiplexeur MUX est  
20 reliée à l'entrée inverseuse de l'amplificateur de  
charges dont l'entrée non-inverseuse est reliée à la  
tension  $V_{ref}$ . La tension aux bornes de la capacité  $C_{MUX}$   
est donc égale à  $V_{ref}$ .

Les conditions initiales du dispositif de  
25 lecture peuvent s'énoncer comme suit :

- les  $M$  bus colonne de la matrice sont maintenus au  
potentiel  $V_{ref}$  par l'intermédiaire de leur capacité  
parasite respective  $C_{Bj}$  ( $j=1, 2, \dots, M$ ),
- le multiplexeur n'adresse aucune colonne vers  
30 l'amplificateur de charges,

- le condensateur  $C_{TIA}$  de l'amplificateur de charges est réinitialisé par le dispositif Tr.

La différence de potentiel aux bornes de  $C_{TIA}$  est nulle et donc la tension de sortie  $V_s$  de l'amplificateur de charges vérifie la relation  $V_s = V_{ref}$ .

Sous l'action des signaux d'horloge  $HA_i$  et  $HC_i$ , les points élémentaires  $P_{ij}$  de la ligne de rang  $i$  sont vidés de leurs charges. Le paquet de charges  $Q_{P_{ij}}$  de chaque point élémentaire  $P_{ij}$  ( $j=1, 2, \dots, M$ ) est ainsi transféré aux bornes de la capacité parasite  $C_{Bj}$ .

Le transfert de charges dure de l'instant  $T_2$  à l'instant  $T_3$ . L'instant  $T_2$  est l'instant où débute le transfert des charges hors du point élémentaire.

L'instant  $T_3$  est l'instant où le signal d'horloge  $HC_i$  atteint la valeur 0 volt. L'instant  $T_3$  est par conséquent l'instant où tous les points élémentaires de la ligne  $i$  sont vides de toute charge.

L'instant  $T_2$ , associé à un point élémentaire, arrive d'autant plus tôt que la charge stockée dans ce point élémentaire est importante.

Sur la figure 3, l'instant  $T_2$  associé au point élémentaire  $P_{ij}$  devance l'instant  $T_2$  associé au point élémentaire  $P_{ij+1}$  car, selon l'exemple choisi, la quantité de charges  $Q_{P_{ij}}$  est plus élevée que la quantité de charges  $Q_{P_{ij+1}}$ .

A l'extrême, si un point élémentaire est rempli de la quantité de charge maximale qu'il est capable de stocker, l'instant  $T_2$  sera identique à l'instant  $T_1$  qui correspond au démarrage de la décroissance du signal de l'horloge  $HC_i$ .

Sous l'action d'une commande K, lors de la conversion du paquet de charges de la colonne de rang j, l'interrupteur  $I_j$  du multiplexeur MUX est fermé (instant  $T_5$ ). La capacité  $C_{Bj}$  est alors électriquement reliée à l'entrée non-inverseuse de l'amplificateur de charges qui est maintenue au potentiel de référence  $V_{ref}$ . Ceci a pour effet de réinitialiser la capacité parasite au potentiel  $V_{ref}$  et donc de transférer le paquet de charges  $Q_{Pij}$  dans la capacité  $C_{TIA}$  de l'amplificateur de charges AP.

A l'instant  $T_5$  où l'interrupteur  $I_j$  est fermé, la tension de sortie  $V_s$  de l'amplificateur de charges est égale à  $V_{ref}$ . De l'instant  $T_5$  à l'instant  $T_6$ , la tension  $V_s$  évolue de la valeur  $V_{ref}$  à la valeur  
 5  $V_{ref} + \Delta V_{sij}$  où  $\Delta V_{sij}$  est égal à  $Q_{Pij}/C_{TIA}$ .

La capacité parasite  $C_{Bj}$  du bus colonne de rang  $j$ , de même que la capacité de sortie  $C_{MUX}$  du multiplexeur MUX n'interviennent pas dans la fonction de transfert de la charge  $Q_{Pij}$ . Avantageusement,  
 10 l'architecture proposée selon l'invention conserve la charge transférée.

Parallèlement à la variation de la tension de sortie  $V_s$ , la tension  $V_{Bj}$  aux bornes de la capacité de bus  $C_{Bj}$  évolue de  $V_{ref} - \Delta V_{Bj}$  à  $V_{ref}$ . La capacité de bus  
 15  $C_{Bj}$  est alors prête à stocker un paquet de charges associé à un autre point élémentaire de la colonne de rang  $j$ , par exemple le point  $P_{i+1j}$ .

La tension de sortie  $V_s$  conserve la valeur  $V_{ref} + \Delta V_{sij}$  entre les instants  $T_6$  et  $T_7$ , l'instant  $T_7$  étant  
 20 l'instant où le signal d'horloge HR applique au dispositif Tr une impulsion pour réinitialiser la capacité  $C_{TIA}$ . Pendant la durée de l'impulsion, entre les instants  $T_7$  et  $T_8$ , la tension de sortie  $V_s$  évolue de la valeur  $V_{ref} + V_{sij}$  à la valeur  $V_{ref}$ .

La conversion du paquet de charges  $Q_{Pij+1}$  du point élémentaire  $P_{ij+1}$  stocké aux bornes de la capacité  $C_{Bj+1}$  peut alors débuter (cf. instants  $T_9$ ,  $T_{10}$ ,  $T_{11}$  et  $T_{12}$  sur la figure 3).

La conversion par l'amplificateur de charges  
 30 d'un premier paquet de charges d'une ligne peut débuter



dès le début du transfert de l'ensemble des paquets de charges de la ligne.

Le dispositif de lecture selon l'invention comprend un seul amplificateur de charges pour lire,  
5 ligne par ligne, un ensemble de  $N \times M$  détecteurs élémentaires.

L'invention concerne également un dispositif de lecture de matrice comprenant plusieurs amplificateurs de charges, chaque amplificateur de charges étant  
10 associé à une matrice élémentaire.

Avantageusement, le nombre d'amplificateurs de charges peut alors être optimisé en fonction du cahier des charges du circuit de lecture. Une telle architecture trouve une application particulièrement  
15 intéressante dans le cas des matrices de grandes dimensions telles que, par exemple les matrices  $1000 \times 1000$ .

Le nombre d'amplificateurs de charges peut ainsi, par exemple, être doublé. Dans ce cas, les  
20 amplificateurs de charges sont utilisés par paire, en parallèle, et convertissent les paquets de charges en alternance.

Selon un perfectionnement de l'invention, les différents bus colonne  $B_j$ , ( $j=1, 2, \dots, M$ ) sont  
25 réinitialisés au potentiel  $V_{ref}$  à l'aide d'un dispositif de réinitialisation prévu à cette fin. Au moment voulu, la tension  $V_{ref}$  est alors appliquée directement aux bus colonne  $B_j$ .

Selon l'invention, il est possible d'augmenter  
30 de plusieurs dizaines de fois la valeur du courant de polarisation de l'amplificateur de charges par rapport

à l'art antérieur. Cette augmentation de courant, associée à une implantation optimisée sans contrainte de place, permet une très importante réduction de la tension équivalente de bruit ramenée en entrée de l'amplificateur de charges (réduction typiquement d'un  
5 facteur 5 à 10).

Selon les modes de réalisation de l'invention décrits ci-dessus, chaque point élémentaire  $P_{ij}$  comprend un transistor  $T_p$  d'adaptation d'impédance, un  
10 transistor  $T_c$  d'intégration de charges et un transistor  $T_a$  d'adressage. De façon plus générale, l'invention concerne tout type de point élémentaire comprenant un dispositif d'adaptation d'impédance, un dispositif d'intégration et un dispositif d'adressage.

## REVENDECATIONS

1. Dispositif de lecture de circuit détecteur de rayonnement constitué d'une matrice de détecteurs élémentaires ( $\Delta_{ij}$ ) sous la forme d'une matrice de N  
5 lignes par M colonnes, le dispositif de lecture comprenant :

- un ensemble de points élémentaires ( $P_{ij}$ ), chaque point élémentaire ( $P_{ij}$ ) étant associé à un détecteur élémentaire ( $\Delta_{ij}$ ) pour stocker les charges détectées  
10 par le détecteur élémentaire ( $\Delta_{ij}$ ), et
- des moyens de conversion (AP) des charges stockées dans chaque point élémentaire ( $P_{ij}$ ),

chaque point élémentaire comprenant des moyens d'adressage ( $T_a$ ) pour adresser les charges contenues  
15 dans chaque point élémentaire ( $P_{ij}$ ) vers les moyens de conversion (AP), caractérisé en ce que le dispositif de lecture comprend des moyens de stockage intermédiaire ( $C_{Bj}$ ) pour stocker les charges adressées issues de chaque point élémentaire ( $P_{ij}$ ) et des moyens de  
20 transfert (MUX) pour transférer séquentiellement, vers les moyens de conversion, les charges stockées dans les moyens de stockage intermédiaire ( $C_{Bj}$ ).

2. Dispositif de lecture de circuit détecteur de rayonnement selon la revendication 1, caractérisé en  
25 ce que les moyens de stockage intermédiaire ( $C_{Bj}$ ) sont constitués de la capacité parasite d'un bus colonne ( $B_{Cj}$ ) qui relie entre eux les différents points élémentaires d'une même colonne de détecteurs élémentaires ( $\Delta_{ij}$ ) et en ce que les moyens de transfert  
30 (MUX) sont constitués d'un multiplexeur ayant M entrées et une sortie.

3. Dispositif de lecture de circuit détecteur de rayonnement selon la revendication 2, caractérisé en ce que les moyens de conversion (AP) sont constitués d'un amplificateur de charges (AP) dont l'entrée est  
5 reliée à la sortie du multiplexeur (MUX).

4. Dispositif de lecture de circuit détecteur de rayonnement selon la revendication 3, caractérisé en ce que l'amplificateur de charges comprend :

- un amplificateur différentiel ayant une entrée  
10 inverseuse (-), une entrée non inverseuse (+) et une sortie,
- une capacité de contre-réaction ( $C_{TIA}$ ) ayant une première borne reliée à l'entrée inverseuse et une deuxième borne reliée à la sortie de l'amplificateur  
15 différentiel, et
- un dispositif de réinitialisation ( $Tr$ ) de la capacité de contre-réaction ( $C_{TIA}$ ) ayant une première borne reliée à l'entrée inverseuse et une deuxième borne reliée à la sortie de l'amplificateur différentiel,  
20 l'entrée inverseuse (-) constituant l'entrée de l'amplificateur de charges et l'entrée non inverseuse étant reliée à une tension de référence ( $V_{ref}$ ).

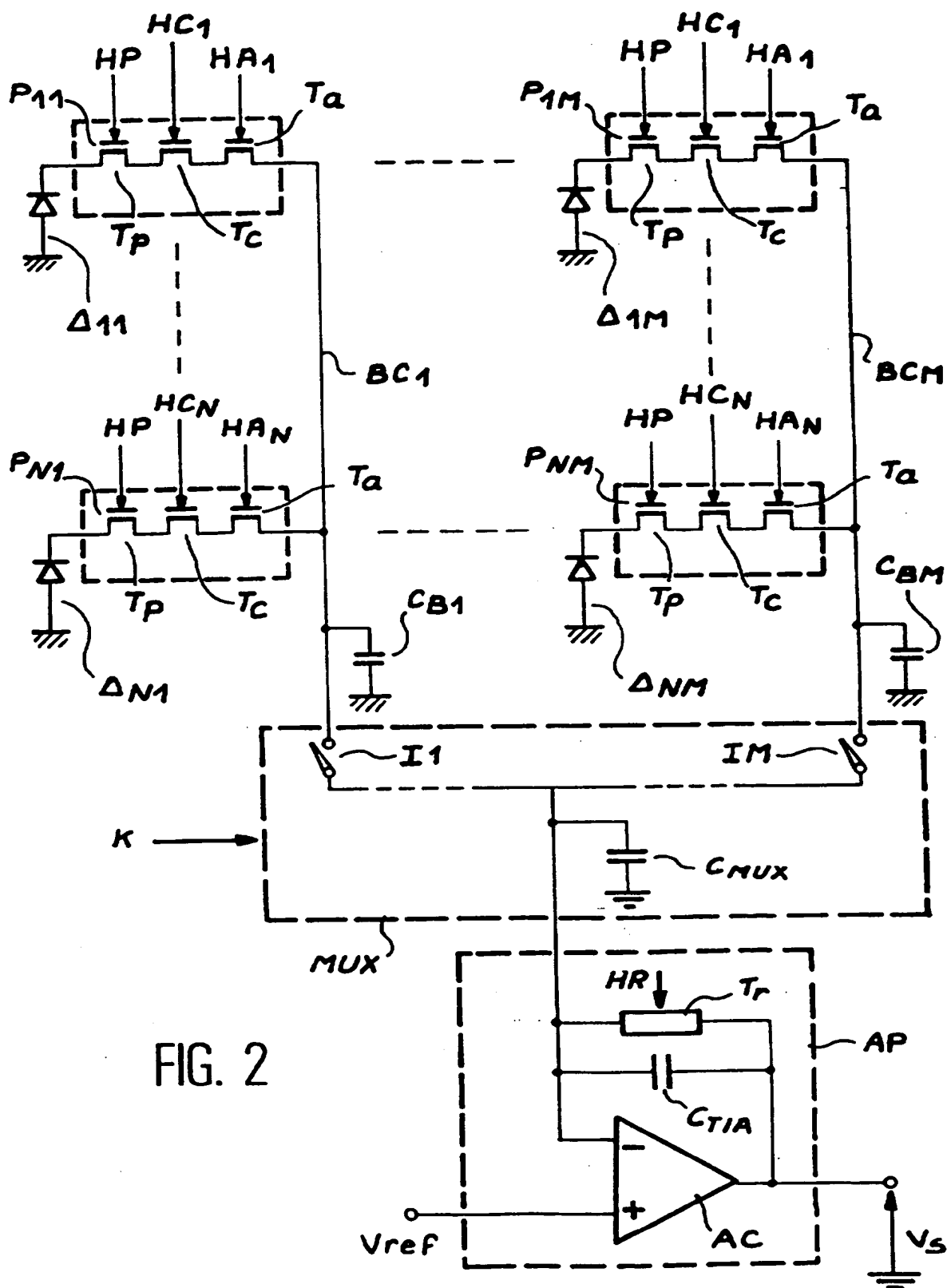
5. Dispositif de lecture de circuit détecteur de rayonnement selon la revendication 2, caractérisé en  
25 ce qu'il comprend un dispositif pour réinitialiser les différents bus colonne ( $B_j$ ) à la tension de référence ( $V_{ref}$ ).

6. Circuit détecteur de rayonnement comprenant une matrice de détecteurs élémentaires ( $\Delta_{ij}$ ) et un  
30 dispositif de lecture pour lire les charges détectées par les détecteurs élémentaires, caractérisé en ce que

la matrice de détecteurs élémentaires comprend  $k$  matrices élémentaires de  $N_k$  lignes et  $M_k$  colonnes,  $k$  étant un nombre entier supérieur ou égal à 1, le dispositif de lecture comprenant  $k$  dispositifs de  
5 lecture élémentaires, chaque dispositif de lecture élémentaire étant un dispositif selon l'une quelconque des revendications 1 à 5 pour lire les charges détectées par une matrice élémentaire.



2 / 3



3/3

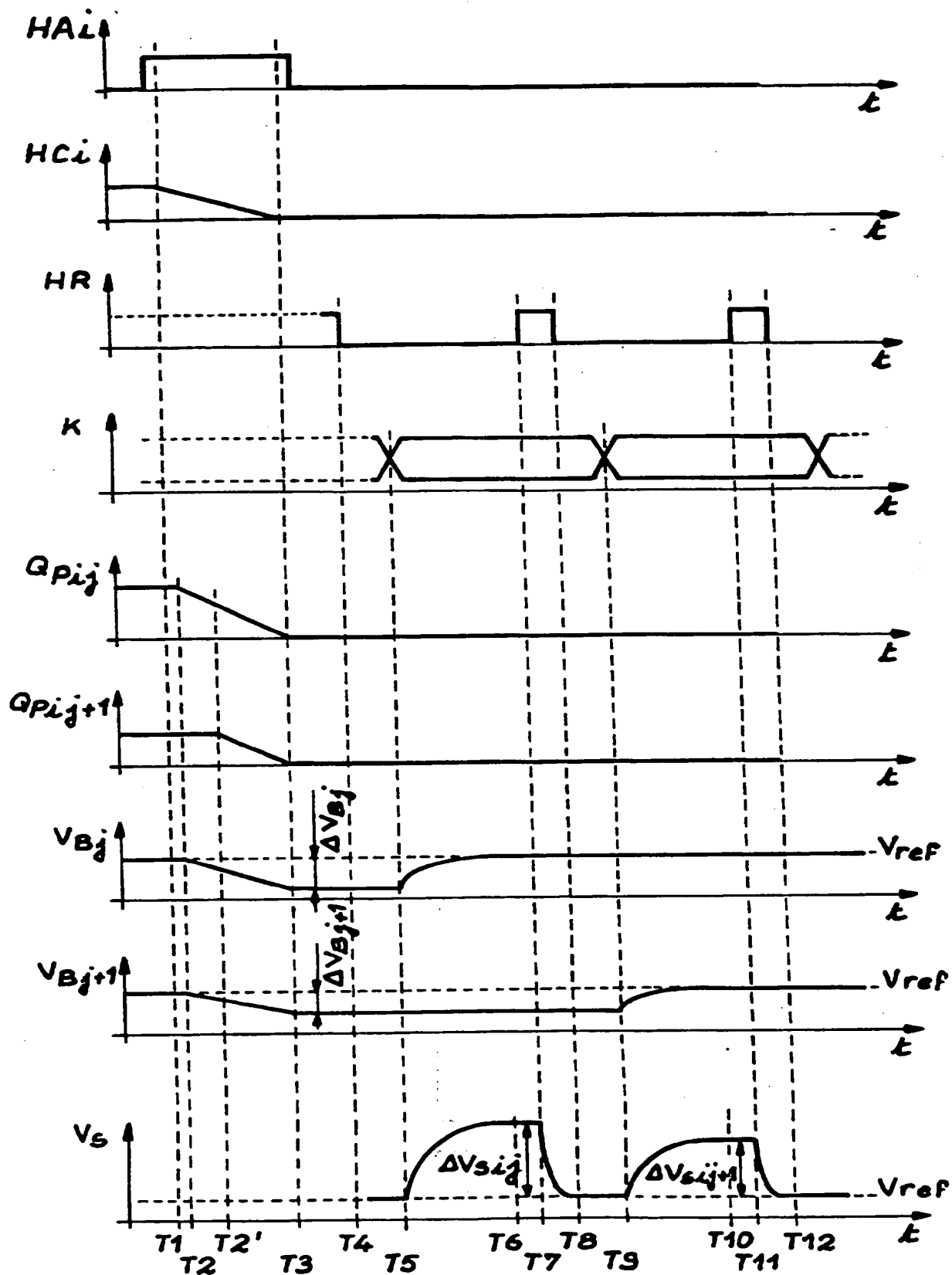


FIG. 3





# **RAPPORT DE RECHERCHE PRÉLIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

2797734

N° d'enregistrement  
national

FA 586596  
FR 0000079

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	FR 2 736 782 A (COMMISSARIAT ENERGIE ATOMIQUE) 17 janvier 1997 (1997-01-17) * page 7, ligne 15 - page 9, ligne 10; figure 3B *	1,2	H04N5/30
Y	----	3	
X	EP 0 734 069 A (SONY CORP) 25 septembre 1996 (1996-09-25) * page 4, ligne 42 - page 5, ligne 3 *	1	
Y	----	3,6	
Y	US 5 543 838 A (HOSIER PAUL A ET AL) 6 août 1996 (1996-08-06) * colonne 3, ligne 18 - ligne 34; figure 1 *	6	
X	US 5 757 008 A (AKAGAWA KEIICHI ET AL) 26 mai 1998 (1998-05-26) * colonne 29, ligne 62 - colonne 30, ligne 18; figure 20 *	1,2	
			DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)
			H04N
Date d'achèvement de la recherche		Examineur	
25 septembre 2000		Bequet, T	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

THIS PAGE BLANK (user's)

## Pat nt Abstracts of Japan

PUBLICATION NUMBER : 10285472  
PUBLICATION DATE : 23-10-98

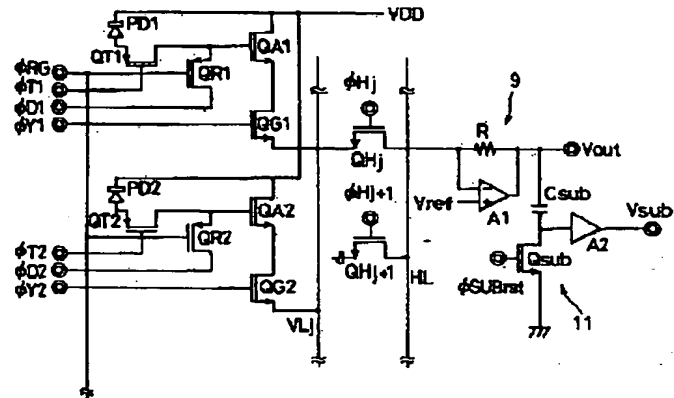
APPLICATION DATE : 31-03-97  
APPLICATION NUMBER : 09098236

APPLICANT : NIKON CORP;

INVENTOR : YONEYAMA JUICHI;

INT.CL. : H04N 5/335 H01L 27/146

TITLE : SOLID-STATE IMAGE-PICKUP DEVICE



**ABSTRACT :** PROBLEM TO BE SOLVED: To image an object pick up and to conduct arithmetic processing at a high speed by providing plural switch elements that are connected between outputs of amplifying pixels and corresponding read lines to the device, so as to allow a product sum arithmetic operation of a pixel section of a solid-state image-pickup element itself through the simple circuit configuration.

**SOLUTION:** Sources of amplification elements QAj of pixels arranged in the vertical direction, that is, in the column direction are connected to vertical read lines VLj of each column via inter-drain-source circuits of control switch elements QGj. The vertical read lines VLj are connected to horizontal read lines HL, via horizontal read switch elements QHj. A horizontal scanning circuit activates plural horizontal read control signals phiHj simultaneously and then synthesizes signals from plural vertical read lines VLj on the horizontal read lines HL. That is, signals from pixels of plural columns are synthesized on the horizontal read wires HL.

COPYRIGHT: (C)1998,JPO

THIS PAGE IS INK (USP)

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001251555  
PUBLICATION DATE : 14-09-01

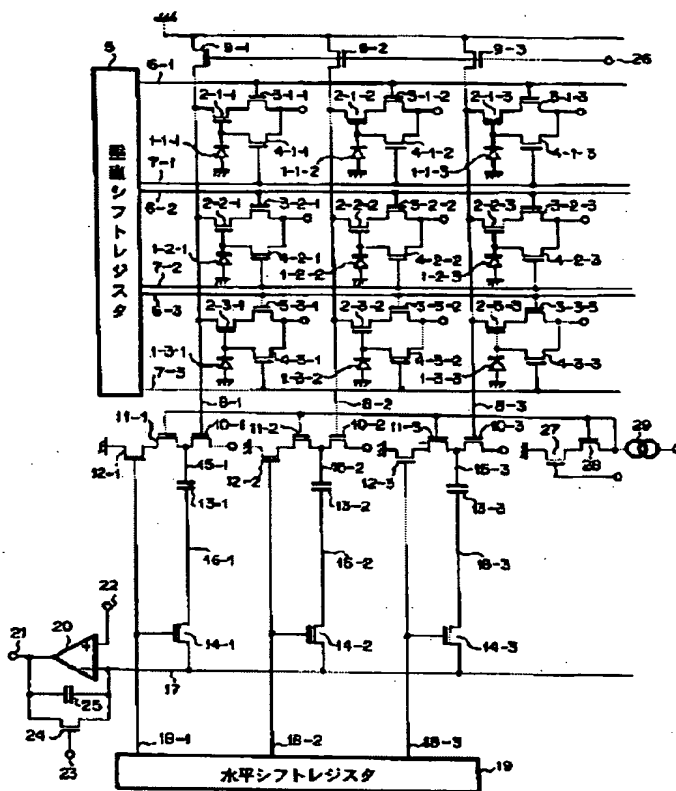
APPLICATION DATE : 02-03-00  
APPLICATION NUMBER : 2000057462

APPLICANT : CANON INC;

INVENTOR : SAKURAGI KOSEI;

INT.CL. : H04N 5/335 H01L 27/146 H01L 31/10

TITLE : SOLID-STATE IMAGE PICKUP DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a circuit in which high-speed reading of a solid-state image pickup device can be performed, unlike the coping of respective means for improving speed.

SOLUTION: An image pickup area of a two-dimensional shape, a vertical selection means selecting the reading row of the image pickup area, plural vertical signal lines arranged in a column direction which is equivalent to the selected row and in which the detection signal of a photodiode is read and horizontal selection transistors, which sequentially read the detection signals on horizontal signal lines arranged in the row direction from the vertical signal lines, are arranged in a solid-state image pickup device, where a noise removal circuit which uses a capacity means and which suppresses noise appearing in the vertical signal lines. An impedance conversion means is installed between the vertical signal lines and the capacity means in the noise removal circuit. The impedance conversion means is provided with a constant current element supplying bias current and a switch means which changes over the output current of the constant current element.

COPYRIGHT: (C)2001,JPO

**THIS PAGE BLANK (USPTO)**